

Bipolare Master des ISA-Systems

H. Fulde
J. Berkner

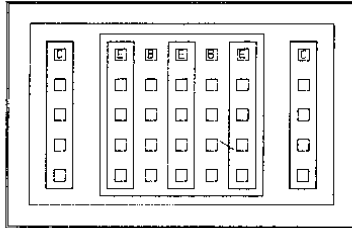


Bild 1: NPN-Transistor EN02

Dem Anwender stehen verschiedene Masterreihen für analoge und analog-digitale Anwendungen zur Verfügung. Die Master sind vorpräparierte bipolare Arrays mit einer unterschiedlichen Anzahl von Einzelkomponenten. Gegenwärtig werden die Masterreihen AI100 (20 V), AI140 (40 V) und der Master IA70 (20 V) angeboten.

Zur Masterreihe AI100 gehören sieben Master (AI100-900), die nach Anzahl der Einzelstrukturen und dem jeweiligen Anteil von analogen und digitalen Elementen abgestuft sind. Zur Masterreihe AI140 gehören z. Z. die Master AI140 und AI240. Sie kann auf Kundenwunsch weiter ausgebaut werden. Der Master IA70 ist für rein analoge Anwendungen gedacht.

Die Master der Reihen AI100/AI140 weisen ein durchgängiges Entwurfsraster von 16 µm auf, d. h. alle Anschlußpunkte der Einzelstrukturen und alle möglichen Leitbahnpositionen liegen auf diesem Raster. Für den Master IA70 wurde

Das ISA-System (ISA = Integrierte Schaltungsanordnung) ist ein seit 1981 genutztes System zur Realisierung von kundenspezifischen integrierten Schaltkreisen. Es eignet sich besonders zur Rationalisierung bestehender elektronischer Lösungen (z. B. bei der Leiterplattenentflechtung) in klein- und mittelständischen Unternehmen. Einsatzgebiete sind u. a. die Meßtechnik, Übertragungstechnik Audio- und HiFi-Technik, Kameraelektronik, prozeßnahe Steuerungstechnik, Rechnerperipherie und Sensorik.

ein durchgängiges Entwurfsraster von 18 µm verwendet.

Der Betriebstemperaturbereich liegt für alle Master zwischen -40 und +85°C. Die maximal zulässige Sperrschichttemperatur beträgt 125°C. Das Gehäuseortiment umfaßt vorrangig Standard-DIPs und SOPs, aber auch QFPs und PLCCs sind lieferbar.

Masterbeschreibung

Masterreihe AI100

Die Master der Reihe AI100 enthalten verschiedene Typen von NPN-, PNP- und I²L-Transistoren und Basiswiderständen. Dabei handelt es sich um folgende Einzelstrukturen: NPN-Transistor EN03 (10 mA) mit zwei Emittoren und PNP-Transistor EP03 (1 mA) mit zwei Kollektoren und jeweils einem Emitter als Bestandteil der Analog- und Interfacezellen, NPN-Treibertransistor EN02 (75 mA) mit drei Emittoren (Bild 1)

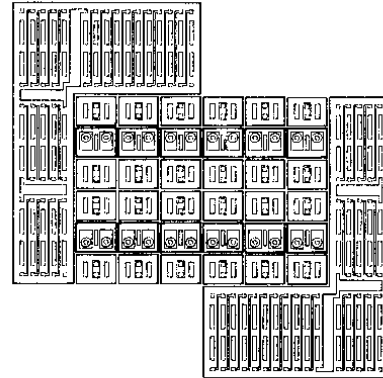


Bild 2: Die Analogzelle ist kanal- und unterführungsfrei

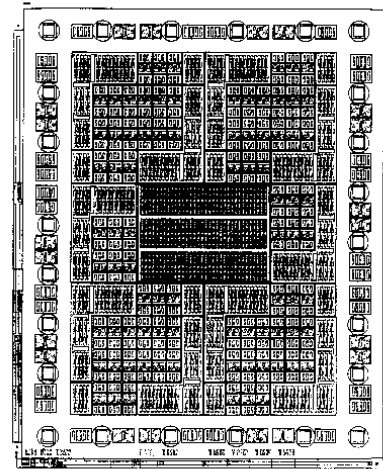


Bild 3: Die Master der Baureihe AI100 enthalten verschiedene Typen von NPN-, PNP- und I²L-Transistoren sowie Basiswiderständen

Master		AI100				IA70		
Transistor	Einh.	EN03	EN02	EP03	EP04	TN01	TN02	TP01
ICmax	mA	10	75	0,5	0,75	10	50	0,5
UCEO	V	18	18	18	18	20	20	20
UBE	mV	680	720	690	680	750	800	650
bei IC	mA	0,1	5	0,05	0,1	1	10	0,05
BN		110	170	20	25	100	160	100
bei IC	mA	5	5	0,05	0,75	1	5	0,03
fT	MHz	500	500	5	5	300	300	5

Tabelle 1: Einige Transistordaten der Masterreihen AI100 und IA70

und PNP-Transistor EP04 (3 mA) mit zwei Kollektoren und jeweils drei Emittlern als Bestandteil der Masterperipherie. In **Tabelle 1** sind einige Transistordaten aufgeführt.

Die diffundierten Widerstände weisen Widerstandswerte von 1 K (abgestuft einstellbar auf 250, 500, 700, 1000 Ω) und 10 K (Festwert) auf. Diese Einzelstrukturen sind anwendungsbezogen in analogen Zellen angeordnet. Eine Analogzelle (**Bild 2**) besteht aus 24 NPN-Transistoren EN03, 12 PNP-Transistoren EP03, 44 10 K- und 104 1 K-Widerständen. Die Zellen sind kanal- und unterführungsfrei. Alle Master der Reihe AI 100 sind aus identischen Analogzellen aufgebaut. Unterschiedlich ist nur die Zellenanzahl und deren Anordnung.

Auch die nach der Gatteranzahl abgestuften Digitalteile der Master sind kanal- und unterführungsfrei und entsprechen damit dem Sea-of-Gate-Konzept. Die verwendeten I²L-Gatter weisen einen Eingang und vier Ausgänge auf. Der Master AI100 ist in **Bild 3** dargestellt. Für die Masterreihen AI100 und AI900 kommt ein 20-V-Bipolar-Prozeß mit einer 1,2 $\Omega\text{cm}/8 \mu\text{m}$ -Epitaxie, Bottom-Isolierrahmen, implantierter I²L-Hochschicht-Basis und einem Basisschichtwiderstand von 200 $\Omega/\text{Fläche}$ zur Anwendung. Die Metallisierung kann wahlweise als ein- oder Zwei-Ebenen-Metallisierung (Aluminium-Legierung) erfolgen. Dabei werden die Leitbahnebenen durch Via-Kontakte (2. Kontaktebene) untereinander verbunden. Die bipolaren Einzelstrukturen werden über die 1. Kontaktebene und die 1. Leitbahnebene kontaktiert.

Masterreihe AI140

Die Master der Reihe AI140 enthalten einen zu den Master gleichlicher Chipgröße aus der Reihe AI100 identischen Zellenkern mit einer maximalen Versorgungsspannung von 20 V. Im oberen und unteren Kernbereich sowie im Randbereich befinden sich Zellen und Einzelstrukturen für eine maximale Versorgungsspannung von 40 V. Dem Entwerfer stehen folgende 40-V-Strukturen zur Verfügung: NPN-Transistor AN01 mit einem Emitter (10 mA) und PNP-Transistor AP01 mit einem Kollektor (0,5 mA) als Bestandteil der Zellen sowie NPN-Transistor mit fünf Emittlern (175 mA), zwei PNP-Lateraltransistoren mit zwei bzw. drei Kollektoren und je fünf Emittlern (5 mA bzw. 7,5 mA) als Bestandteil der Peripherie. Der Master AI140 ist in **Bild 4** dargestellt. Einen Überblick über die Ausstattung der Master gibt **Tabelle 2**. Der für die Masterreihen AI140 und 240 angewendete 40-V-Prozeß ist durch folgende Angaben gekennzeichnet: Epitaxie geteilt 2,7 $\Omega\text{cm}/5 \mu\text{m}$ und 3,3 $\Omega\text{cm}/8 \mu\text{m}$ Gesamtdicke, Bottom-Isolierrahmen, Bottom-Schicht, I²L mit implantierter Hochschicht-Basis, Channelstopperimplantation, Basisschichtwiderstand = 200 $\Omega/\text{Fläche}$. Die Metallisierung kann auch hier wahlweise als Ein- oder Zwei-Ebenen-Metallisierung erfolgen.

Master IA70

Der Master IA70 (**Bild 5**) besteht aus vier symmetrisch angeordneten Analogzellen. Jede enthält 19 NPN-Transistoren TN01 (10 mA), 10 PNP-Transistoren TP01 (0,5 A), 2 Z-Dioden Z1 (5,8 V), 16 Festwiderstände (10 K) und 40 einstellbaren Widerständen (0,6 K). In der Peripherie sind 8 NPN-Treibertransistoren mit zwei

Master	AI140	AI240
Anwendung analog	*	*
analog/digital		
Chipgröße/mm ²	3,2 x 4,0	3,2 x 4,0
Bondinseln	24	24
I ² L-Gatter	198	—
Gesamtwid./kOhm	2432	2976
Masterteil 20 V:		
Analogzellen	4	6
Interfacezellen	2	—
NPN-Transistoren 10 mA	144	144
PNP-Transistoren 1 mA	72	72
Masterteil 40 V:		
NPN-Transistoren 10 mA	16	16
NPN-Transistoren 175 mA	16	14
PNP-Transistoren 1 mA	16	16
PNP-Transistoren 5 mA	10	10
PNP-Transistoren 1 mA	10	10
PNP-Transistoren 5 mA	2	2
PNP-Transistoren 1 mA	2	2
PNP-Transistoren 5 mA	2	2
Metallisierungslagen	2	2
max. Versorgungsspannung	20/40 V	20/40 V

Tabelle 2: Aufbau der ISA-Master AI140 und AI240

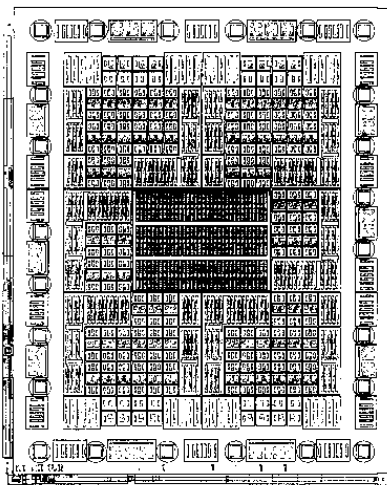
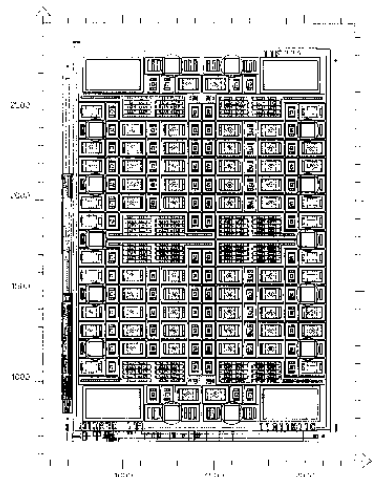


Bild 4: Der Master AI140 enthält im oberen und unteren Kernbereich sowie im Randbereich Zellen und Einzelstrukturen für eine maximale Versorgungsspannung von 40 V

Bild 5: Der Master IA70 besteht aus vier symmetrisch angeordneten Analogzellen



Emittlern (50 mA), 12 P-Kanal-Sperrschicht-FET (100 μA), 4 Oxidkapazitäten (15 pF) und 20 weitere Transistoren TN01/TP01 angeordnet. Die diffundierten 0,6 K-Widerstände sind abgestuft einstellbar auf 200, 400, 600 Ω .

Die Kapazitäten werden realisiert als Al-Fläche über einer oxidierten n⁺-Emitterdiffusion in einer Epitaxiewanne. Auf Grund des anderen Entwurfsrasters sind die Einzelstrukturen sowie die Analogzellen des IA70 nicht mit denen der Reihen AI100/AI140 identisch.

Auf dem Master IA70 können z. B. intern kompensierte Operationsverstärker mit PNP-, NPN- oder FET-Eingangsstufe, Komparatoren und ähnliche Schaltungen einfach realisiert werden.

Tabelle 3 gibt eine Übersicht zum Master IA70. Die Technologie des Master IA70 ist durch folgende Angaben gekennzeichnet: Phosphor-Epitaxie 2,0 $\Omega\text{cm}/12 \mu\text{m}$, Bor-Isolierrahmen, Basisschichtwiderstand = 180 $\Omega/\text{Fläche}$. Die Metallisierung ist nur als Einebenenmetallisierung möglich.

Entwurfsablauf

Entwurfssoftware

Der Schaltungs- und Layout-Entwurf wird durch die Entwurfssoftware *Isacad 2* als ein Bestandteil des modularen Entwurfssystems *ESY* der *MTG mbH Werk Frankfurt (Oder)* unterstützt. Die Entwurfssoftware umfaßt die grafische Netzwerkeingabe, die Simulation der analogen und digitalen Schaltungsteile, die Symbol-Layout-Erstellung mit weitgehend automatischer Platzierung/Trassierung und interaktiven Eingriffsmöglichkeiten, die Fein-Layout-Erzeugung, die Schaltungsrückerkennung sowie die Layout-Verifikation. Als Datenschnittstellen zwischen den Programmen kommen die in der *MTG mbH* standardisierten Datenstrukturen *GS95* (Layout-Datenbasis) und *NBS* (Netzbeschreibungssprache elektrischer und logischer Netzwerke) zum Einsatz. Die Übertragung von Layout-Daten kann in *CIF* oder *GDSII*-Stream erfolgen. Das Programmsystem ist lauffähig unter *VAX/VMS* (z. B. auf *DEC-Micro-VAXII*). Die graphische Grundsoftware bedient die Schnittstellen *Regis*, *TEK 411XX*, *Printronix*, *Calcom P 907* und *HPGL*.

Schaltungsentwurf

Die Grundlage für den Entwurf kundenspezifischer Schaltkreise bilden die Makrozellen der Schaltungs- und Topologiebibliothek. Ein Teil der Makrozellen ist als Function-Kitpart für Brettschaltungserprobungen vorhanden. Die Transistorstrukturen stehen ebenfalls als Kitpart zur Verfügung (Array-Kitpart). Den Ausgangspunkt im Entwurfsablauf bildet die Netzwerkeingabe der Kundensaltung mit dem Schaltplaneditor (SPE). Die Schaltungen werden hierarchisch mittels Blöcken beschrieben. Sofern nicht auf verfügbare Makros zurückgegriffen werden kann, sind Makros zu modifizieren bzw. zu erstellen. Die Einzelstrukturen (z. B. Transistoren, Gatter) werden hierbei als Elementarmakros verwendet. Die aus dem Schaltplaneditor gewonnene Netzbeschreibung (NBS) dient der Erwartungssimulation. Diese Simulation wird mit dem Netzwerkanalyseprogramm *Fanni* durchgeführt. Nach der Layouterstellung wird eine Bestätigungssimulation mit einer modifizierten *NBS* durchgeführt. Diese berücksichtigt z. B. die Realisierung von Widerständen als Reihen- bzw. Parallelschaltung mehrerer Einzelwiderstände.

Modellparameter

Voraussetzung für die Simulation sind Modellparametersätze zur Spezifizierung der Transistormodelle. Diese Parameter stehen sowohl für *Fanni* als auch für *UCB-Spice/PSpice* zur Verfügung. Da die ISA-Transistoren zur einfachen Realisierung von Flächenverhältnissen als Mehrfachemitter- bzw. Mehrfachkollektortransistoren ausgelegt sind, ergeben sich für einen Transistor mehrere Beschaltungsvarianten, die modelliert werden müssen. Bei der Bereitstellung der Transistormodelle kann dieses Problem gelöst werden durch

- ▷ Anwendung von AREA-Faktoren (flächenbezogene Parameter),
- ▷ Definition eines mehrpoligen Modells (Subcircuit),
- ▷ Definition je eines Modells für jede Beschaltungsvariante.

Mehrpole Modelle sind nachteilig, da sie zu hohen Knotenzahlen im Netzwerk und zu offenen Knoten für nicht angeschlossene Gebiete führen können. Da die verbreiteten *Spice*-Versionen *PSpice*, *UCB-Spice*, *CD-Spice* nur einen AREA-Faktor bieten, der gleichzeitig auf die Parameter aller

Master	IA70
Anwendung	analog
Chipgröße/mm ²	2,1x3,1
Bondinseln	14
Analogzellen	4
NPN-Transistoren 10 mA	84
NPN-Transistoren 50 mA	8
PNP-Transistoren 0,5 mA	52
SFET 0,1 mA	12
Z-Dioden	8
Gesamtwid./kOhm	736
Metallisierungslagen	1
max. Versorgungsspannung	20 V

Tabelle 3: Aufbau des Masters IA70

drei PN-Übergänge des integrierten Transistors wirkt, kann dieser AREA-Faktor nur zur Nachbildung von Parallelschaltungen mehrerer Transistoren, nicht aber von Beschaltungsvarianten herangezogen werden. Daher wird für die ISA-Transistoren je ein Modell für jede Beschaltungsvariante definiert, z. B. für den 75-mA-NPN-Transistor EN02 mit drei Emittern (Bild 1) die Modelle N21, N22 und N23 (ein, zwei bzw. drei Emittter angeschlossen). In den **Tabellen 4 und 5** sind die *Spice*-Grundparameter für die vier Transistoren der Masterreihe AI100 aufgeführt (Einzelwerte). Die statischen Parameter wurden mit dem Parameterbestimmungssystem *IC-CAP/TECAP* ermittelt. Die Parameter können jedoch auch als flächenbezogene Parameter zur Verfügung gestellt werden, wenn z. B. mit der *Spice*-Version *HSpice* gearbeitet wird, welche drei verschiedene AREA-Faktoren für die drei PN-Übergänge des Transistors definiert.

Layoutentwurf

Der Layoutentwurf erfolgt durchgängig auf dem Symbollayouteditorniveau (SLE). Er wird durch die Entwurfssoftware *Isacad 2* unterstützt. Dabei handelt es sich um einen interaktiven Prozeß. Beginnend mit der Makroplazierung ist neben der Bondinselanordnung zu testen, ob die Summe der Makro- und der abgeschätzten Verdrahtungsflächen der Fläche des verfügbaren Masters entspricht. Anschließend erfolgt die Plazierung der Makros als iterativer Prozeß.

Die Globalverdrahtung realisiert die Verbindungen zwischen den Makros. Dabei erfolgt erst die Verdrahtung der Versorgungsspannungen

und der Masseleitbahn und im nächsten Schritt die der Signalleitungen. Dabei werden die den Makros zugehörigen Masse- und Versorgungsspannungsleitungen berücksichtigt.

Bei der Lokalverdrahtung werden die Verbindungen innerhalb von Makros realisiert. Dabei sind Sperrflächen in beiden Leitbahnebenen z. B. durch Masse- und Betriebsspannungsleitungen zu beachten, ebenfalls gesperrte Rasterpunkte für die *Via*-Kontakte. Vorzugsweise werden Signalleitungen in der ersten Leitbahnebene verdrahtet, Versorgungsleitungen in der zweiten. Es herrscht jedoch keine strenge Zuordnung der Verdrahtungsebenen zu den der horizontalen bzw. vertikalen Verdrahtungsrichtung. Aus dem so erzeugten Symbollayout wird das Feinlayout mit allen für den technologischen Prozeß in der *MTG mbH* erforderlichen Bedingungen generiert.

Die Entwurfsregelprüfung erfolgt unter topologischen und solchen mit der Topologie zusammenhängenden elektrischen Kriterien, die durch die nachfolgende Bestätigungssimulation nicht prüfbar sind. Bei ausschließlicher Benutzung des Symbollayouteditors sind rein topologische Fehler wie z. B. Abstandsfehler ausgeschlossen, ebenso bei durchgängigem Einsatz von Makros.

Die Layoutrückerkennung basiert auf der Erkennung der Einzelkomponenten des Masters mittels logischer Verknüpfung der Einzel Ebenen. Benutzte NPN-Transistoren werden z. B. an den einzelnen angeschlossenen Emittern erkannt, variable Widerstände an den Kontaktfeiern. Auf diese Weise ist eine exakte Zuordnung der Topologie der Einzelstrukturen zu den konkreten in der Schaltung verwendeten Schaltungselementen in ihren realisierten Beschaltungsvarianten möglich. Die einzelnen Makros werden bis zum Niveau der Gesamtschaltung hierarchisch zurückerkant.

Letztlich erfolgt eine Modifizierung der NBS entsprechend den Ergebnissen der Rückerkennung. Damit kann die Bestätigungssimulation vergleichend zur Erwartungssimulation auf der Basis der aus dem Feinlayout gewonnenen Schaltungsstruktur durchgeführt werden. (J. J.)

ei 465

Dipl.-Ing. Hanno Fulde und Dipl.-Ing. Jörg Berkner sind Mitarbeiter der *MTG mbH*, Werk Frankfurt/Oder, im Bereich Entwicklung

Tabelle 4: Statische *Spice*-Parameter der Masterreihe AI100

Trans. Name Modell Variante	KL.NPN EN03		GR.NPN EN02			2C-2E-PNP EP03		2C-6E-PNP EP04	
	N11 1E	N12 2E	N21 1E	N22 2E	N23 3E	P11 1E	P12 2E	P23 3E	P26 6E
IS aA	210	420	700	1400	2100	220	440	660	1320
BF -	140		150			280		370	
NF -	0,9996		0,9873			0,995		0,9935	
VAf V	57		69			41		48	
IKF mA	15	30	28	56	84	0,2	0,4	0,6	0,8
NE -	1,433		1,421			1,128		1,116	
BR -	19		16			0,6		0,8	
NR -	0,9896		0,9886			0,9919		0,9834	
VAR V	18		18			33		34	
IKR mA	9,7	19,4	33	66	99	1,4	2,8	4,2	5,6
ISC fA	3,3	6,6	90	180	270	8	16	24	48
NC -	1,537		1,339			1,28		1,562	
RE Ohm	9,2	4,6	3,1	2,3	1,9	26	13	11	7
RC Ohm	17	11	8	6	4	160	80	88	56

Tabelle 5: *Spice*-CV-Parameter der Masterreihe AI100

Trans. Name Modell Variante	KL.NPN EN03		GR.NPN EN02			2C-2E-PNP EP03		2C-6E-PNP EP04	
	N11 1E	N12 2E	N21 1E	N22 2E	N23 3E	P11 1E	P12 2E	P23 3E	P26 6E
Coe pF	0,54	1,08	2,63	5,25	7,8	0,08	0,24	0,24	0,43
Coc pF	0,51		2,76			0,71	1,43	2,04	4,08
Cos pF	4,5		8,73			4,5		8,73	
UDE V	0,616		0,616			0,425		0,425	
UDC V	0,425		0,425			0,425		0,425	
UDS V	0,279		0,279			0,279		0,279	
ME -	0,166		0,166			0,177		0,177	
MC -	0,177		0,177			0,177		0,177	
MS -	0,094		0,094			0,094		0,094	